

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月 9日

出 願 番 号

Application Number:

特願2002-263028

[ST.10/C]:

[JP2002-263028]

出 願 人

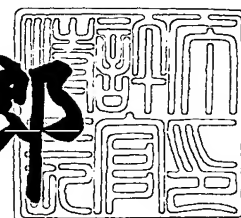
Applicant(s):

株式会社デンソー

2003年 6月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3048685

【書類名】 特許願

【整理番号】 PSN365

【提出日】 平成14年 9月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/822

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

 【氏名】 氷見 啓明

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

 【氏名】 中野 敬志

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

 【氏名】 水野 祥司

【特許出願人】

 【識別番号】 000004260

 【氏名又は名称】 株式会社デンソー

【代理人】

 【識別番号】 100106149

 【弁理士】

 【氏名又は名称】 矢作 和行

 【電話番号】 052-220-1100

【手数料の表示】

 【予納台帳番号】 010331

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の主面に形成される半導体素子が、トレンチによって絶縁分離されてなる半導体装置であって、

前記半導体素子が形成される領域には、前記半導体素子より大きな拡散構造が形成され、

前記半導体素子は、前記拡散構造に形成されたトレンチによって大きさが確定され、周囲から絶縁分離されることを特徴とする半導体装置。

【請求項 2】 半導体基板の主面に形成される同じ種類で複数の半導体素子が、トレンチによって絶縁分離されてなる半導体装置であって、

前記同じ種類で複数の半導体素子が形成される領域には、前記同じ種類で複数の半導体素子に共通する拡散構造が形成され、

前記同じ種類で複数の半導体素子は、前記拡散構造に形成されたトレンチによって各半導体素子の大きさが確定され、各半導体素子が周囲から絶縁分離されることを特徴とする半導体装置。

【請求項 3】 前記半導体基板が S O I 基板であることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記 S O I 基板の絶縁層上に形成される半導体層が、 $5\mu\text{m}$ 以下であることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記トレンチが、B P S G によって埋め込まれることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】 前記拡散構造が、拡散領域の繰り返しパターンを有することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】 前記拡散構造が、ストライプ形状のパターンを有する拡散領域からなることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】 前記半導体素子が、アナログ信号を処理するアナログ素子であることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】 前記アナログ素子が、バイポーラトランジスタであることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 前記半導体素子が、電力を制御するパワー素子であることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置。

【請求項 11】 前記パワー素子が、LDMOS トランジスタであることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】 前記半導体装置が、種類の異なる半導体素子を 1 つのチップに集積化した、複合 IC であることを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の半導体装置。

【請求項 13】 半導体基板の主面に形成される半導体素子が、トレンチによって絶縁分離されてなる半導体装置の製造方法において、

前記半導体基板の主面の前記半導体素子を形成する領域に、前記半導体素子より大きな拡散構造を形成する拡散工程と、

前記拡散構造が形成された半導体基板の主面にトレンチを形成して、前記半導体素子の大きさを確定すると共に、前記半導体素子を周囲から絶縁分離する分離工程と、

前記絶縁分離された半導体素子に配線を接続する配線工程とを有することを特徴とする半導体装置の製造方法。

【請求項 14】 半導体基板の主面に形成される同じ種類で複数の半導体素子が、トレンチによって絶縁分離されてなる半導体装置の製造方法において、

前記半導体基板の主面の前記同じ種類で複数の半導体素子を形成する領域に、前記同じ種類で複数の半導体素子に共通する拡散構造を形成する拡散工程と、

前記拡散構造が形成された半導体基板の主面にトレンチを形成して、前記同じ種類で複数の半導体素子における各半導体素子の大きさを確定すると共に、各半導体素子を周囲から絶縁分離する分離工程と、

前記絶縁分離された各半導体素子に配線を接続する配線工程とを有することを特徴とする半導体装置の製造方法。

【請求項 15】 前記半導体基板が SOI 基板であることを特徴とする請求項 13 または 14 に記載の半導体装置の製造方法。

【請求項 1 6】 前記 S O I 基板の絶縁層上に形成される半導体層が、5 μ m 以下であることを特徴とする請求項 1 5 に記載の半導体装置の製造方法。

【請求項 1 7】 前記トレンチが、B P S G によって埋め込まれることを特徴とする請求項 1 3 乃至 1 6 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 8】 前記拡散構造が、拡散領域の繰り返しパターンを有することを特徴とする請求項 1 3 乃至 1 7 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 9】 前記拡散構造が、ストライプ形状のパターンを有する拡散領域からなることを特徴とする請求項 1 3 乃至 1 8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 2 0】 前記半導体素子が、アナログ信号を処理するアナログ素子であることを特徴とする請求項 1 3 乃至 1 9 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 2 1】 前記アナログ素子が、バイポーラトランジスタであることを特徴とする請求項 2 0 に記載の半導体装置の製造方法。

【請求項 2 2】 前記半導体素子が、電力を制御するパワー素子であることを特徴とする請求項 1 3 乃至 1 9 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 2 3】 前記パワー素子が、L D M O S トランジスタであることを特徴とする請求項 2 2 に記載の半導体装置の製造方法。

【請求項 2 4】 前記半導体装置が、種類の異なる半導体素子を 1 つのチップに集積化した、複合 I C であることを特徴とする請求項 1 3 乃至 2 3 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体基板の主面に形成された複数の半導体素子がトレンチによって絶縁分離されてなる半導体装置およびその製造方法に関するもので、特に、アナログ素子やパワー素子を集積化した半導体装置およびその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

半導体装置の小型化および多機能化のために、デジタル素子であるCMOSトランジスタ、アナログ素子であるバイポーラトランジスタ、パワー素子であるLDMOSトランジスタといった種類の異なる半導体素子を、1つのチップに集積化した複合ICが用いられている。この複合ICにおいては、半導体素子間の電気干渉による誤動作を防止するために、近年SOI (Silicon On Insulator) 基板を用い、半導体素子間にトレンチを形成して各半導体素子を絶縁分離するトレンチ分離構造が実用化されている。

【 0 0 0 3 】

この各半導体素子が絶縁分離された複合ICを製造するためには、最初に、SOI基板の各半導体素子の形成領域をトレンチによって絶縁分離しておき、その後、各半導体素子の形成領域にCMOSトランジスタ、バイポーラトランジスタ、LDMOSトランジスタといった個々の半導体素子を作り込んでいく。

【 0 0 0 4 】

【発明が解決しようとする課題】

SOI基板の採用とトレンチ分離構造によって、前記の複合ICにおいては、各半導体素子間の相互干渉を防止することができる。

【 0 0 0 5 】

一方、複合ICにおいては、MOSトランジスタやバイポーラトランジスタといった製造工程の異なる各種半導体素子を1つのチップに集積する関係上、長い試作期間が必要である。近年、SOI基板とトレンチ分離構造の採用や、集積化される半導体素子が多様化して製造工程が益々複雑になっており、試作期間はさらに長期化する傾向にある。このため、個々の複合ICの開発期間が長期化して、工数に係わる開発コストが増大するといった問題が発生している。

【 0 0 0 6 】

そこで本発明の目的は、MOSトランジスタやバイポーラトランジスタといった各種半導体素子を1つのチップに集積化した複合ICであっても、試作期間が短く、従って開発コストを低減することのできる半導体装置およびその製造方法

を提供することにある。

【0007】

【課題を解決するための手段】

上記目的を達成するために、請求項1に記載の半導体装置は、半導体基板の主面に形成される半導体素子が、トレンチによって絶縁分離されてなる半導体装置であって、前記半導体素子が形成される領域には、前記半導体素子より大きな拡散構造が形成され、前記半導体素子は、前記拡散構造に形成されたトレンチによって大きさが確定され、周囲から絶縁分離されることを特徴としている。

【0008】

また、請求項2に記載の半導体装置は、半導体基板の主面に形成される同じ種類で複数の半導体素子が、トレンチによって絶縁分離されてなる半導体装置であって、前記同じ種類で複数の半導体素子が形成される領域には、前記同じ種類で複数の半導体素子に共通する拡散構造が形成され、前記同じ種類で複数の半導体素子は、前記拡散構造に形成されたトレンチによって各半導体素子の大きさが確定され、各半導体素子が周囲から絶縁分離されることを特徴としている。

【0009】

半導体装置においては、最適特性を得るために、あるいは様々な規格に対応するために、そこに形成される半導体素子の大きさを変えて試験する必要がある。

【0010】

半導体装置の中には、同じ種類で複数の半導体素子を有する半導体装置があるが、このような半導体装置においても、そこに形成される同じ種類の各半導体素子が、大きさを変えて試験される。このような半導体装置の試作に対して、本発明の半導体装置では、半導体基板に形成された大きなあるいは共通する拡散構造から、同じ種類の半導体素子がトレンチによって‘切り分け’形成される。このトレンチによる半導体素子の切り分けは、得られた各半導体素子の周囲からの絶縁分離も兼ねている。

【0011】

請求項1と2に記載の本発明の半導体装置では、1つの大きなあるいは共通する拡散構造を用いて、同じ種類で任意の大きさの半導体素子を、容易に切り分け

形成することができる。これによって、半導体装置の試作期間を短縮することができる。でき、工数に係わる開発コストも低減することができる。

【 0 0 1 2 】

また、本発明では、同じ種類の半導体素子が統合されて1つの拡散構造に形成されるため、このような拡散構造が形成された半導体基板をプラットフォームとして、そこから種々の半導体装置を製造することができる。このように、本発明の半導体装置においては拡散構造が形成された半導体基板のプラットフォーム化が実現され、これによって製造コストを低減することができる。

【 0 0 1 3 】

請求項3に記載の発明は、前記半導体基板がS O I 基板であることを特徴としている。これによれば、S O I 基板の埋め込み絶縁層とトレンチによって、中に形成される半導体素子を完全に絶縁分離することができる。

【 0 0 1 4 】

請求項4に記載の発明は、前記S O I 基板の絶縁層上に形成される半導体層が、5 μ m以下であることを特徴としている。これによれば、半導体層が薄いため、形成したトレンチの埋め込みが容易になる。

【 0 0 1 5 】

請求項5に記載の発明は、前記トレンチが、B P S Gによって埋め込まれることを特徴としている。これによれば、形成した各半導体素子への配線のための層間絶縁膜と、トレンチの埋め込みの絶縁膜とを、同じB P S Gで共通化できる。これによって製造工程が短縮でき、製造コストを低減できる。

【 0 0 1 6 】

請求項6に記載の発明は、前記拡散構造が、拡散領域の繰り返しパターンを有することを特徴としている。これによれば、繰り返しパターンを単位ユニットとして、切り分け形成される各半導体素子の大きさを、容易に確定することができる。

【 0 0 1 7 】

請求項7に記載の発明は、前記拡散構造が、ストライプ形状のパターンを有する拡散領域からなることを特徴としている。これによれば、トレンチによって切

り分け形成される各半導体素子の大きさを容易に確定することができ、半導体装置の設計が容易になる。

【 0 0 1 8 】

請求項 8 と 9 に記載の発明は、前記半導体素子が、アナログ信号を処理するアナログ素子であることを特徴としている。このようなアナログ素子として、例えば、バイポーラトランジスタがある。

【 0 0 1 9 】

請求項 1 0 と 1 1 に記載の発明は、前記半導体素子が、電力を制御するパワー素子であることを特徴としている。このようなパワー素子として、例えば、L D M O S トランジスタがある。

【 0 0 2 0 】

請求項 8 ～ 1 1 に記載されるように、本発明の半導体装置においては、前記半導体素子がアナログ素子またパワー素子である場合に効果的である。

【 0 0 2 1 】

半導体素子がデジタル素子の場合には、例えば C M O S トランジスタのゲートアレイに見られるように、一定の大きさの素子を予め多数形成した半導体基板をプラットフォームにして、配線により必要な素子を接続して回路を構成することができる。これによって、試作期間の短縮することができ、開発コストも低減することができる。しかしながらアナログ素子やパワー素子の場合には、一般的に、回路で使用されている素子毎に、電流容量等が異なっている。このため、デジタル素子のゲートアレイのように、一定の大きさの素子を予め用意しておくことはできない。

【 0 0 2 2 】

本発明の半導体装置においては、拡散構造が形成された半導体基板をプラットフォームとして、ここから半導体素子がトレンチによって切り分け形成される。従って、半導体素子がアナログ素子やパワー素子であっても、前記プラットフォームから任意の大きさの半導体素子、例えば任意の電流容量を持つアナログ素子やパワー素子を形成することができる。従って、アナログ素子やパワー素子を有する半導体装置であっても、試作期間を短縮することができ、工数に係わる開発

コストも低減することができる。また、プラットフォーム化が実現され、これによっても製造コストを低減することができる。

【 0 0 2 3 】

請求項 1 2 に記載の発明は、前記半導体装置が、種類の異なる半導体素子を 1 つのチップに集積化した、複合 IC であることを特徴としている。

【 0 0 2 4 】

本発明によれば、半導体装置が、デジタル素子、アナログ素子、パワー素子等の種類の異なる半導体素子を 1 つのチップに集積化した複合 IC であっても、試作期間を短縮することができ、工数に係わる開発コストも低減することができる。また、プラットフォーム化が実現され、これによっても製造コストを低減することができる。

【 0 0 2 5 】

請求項 1 3 ～ 2 4 に記載の発明は、前記の半導体装置の製造方法に関するものである。

【 0 0 2 6 】

請求項 1 3 に記載の発明は、半導体基板の主面に形成される半導体素子が、トレンチによって絶縁分離されてなる半導体装置の製造方法において、前記半導体基板の主面の前記半導体素子を形成する領域に、前記半導体素子より大きな拡散構造を形成する拡散工程と、前記拡散構造が形成された半導体基板の主面にトレンチを形成して、前記半導体素子の大きさを確定すると共に、前記半導体素子を周囲から絶縁分離する分離工程と、前記絶縁分離された半導体素子に配線を接続する配線工程とを有することを特徴としている。

【 0 0 2 7 】

また、請求項 1 4 に記載の発明は、半導体基板の主面に形成される同じ種類で複数の半導体素子が、トレンチによって絶縁分離されてなる半導体装置の製造方法において、前記半導体基板の主面の前記同じ種類で複数の半導体素子を形成する領域に、前記同じ種類で複数の半導体素子に共通する拡散構造を形成する拡散工程と、前記拡散構造が形成された半導体基板の主面にトレンチを形成して、前記同じ種類で複数の半導体素子における各半導体素子の大きさを確定すると共に

、各半導体素子を周囲から絶縁分離する分離工程と、前記絶縁分離された各半導体素子に配線を接続する配線工程とを有することを特徴としている。

【 0 0 2 8 】

従来の半導体装置の製造方法においては、最初に各半導体素子の形成領域をトレンチによって絶縁分離し、その後で前記各半導体素子の形成領域に個々の半導体素子を作り込んでいく。

【 0 0 2 9 】

一方、請求項 1 3 と 1 4 に記載の本発明の製造方法によれば、最初に半導体素子を形成する領域に拡散構造を形成し、その後でトレンチを形成して、各半導体素子を切り分け形成すると共に、各半導体素子を周囲から絶縁分離する。以上のように切り分け形成した各半導体素子に、最後に、配線を接続する。

【 0 0 3 0 】

本発明で用いたトレンチによる絶縁分離は、PN 接合分離のような拡散を用いた電気的な分離とは異なり、機械的に細溝を掘って半導体素子を分離するものである。このため、本発明の製造方法においては、拡散工程の後にトレンチによる分離工程を持ってくることができる。このようにして、本発明の製造方法においては、半導体装置に形成される同じ種類の半導体素子の形成領域を 1 つの拡散構造にプラットフォーム化し、トレンチの形成を拡散工程の後にして半導体素子の形成と絶縁分離を一体化している。これによって、前記した試作期間が短く、開発コストや製造コストが低減された半導体装置を得ることができる。

【 0 0 3 1 】

請求項 1 5 ～ 2 4 に記載の発明も半導体装置の製造方法に関するものであり、前述の請求項 3 ～ 1 2 に記載した半導体装置を得ることができる。得られた半導体装置の効果は同様であるので、その説明は省略する。

【 0 0 3 2 】

【発明の実施の形態】

以下、本発明の半導体装置およびその製造方法を、図に基づいて説明する。

【 0 0 3 3 】

(第 1 の実施形態)

図 1 (a), (b) に、第 1 の実施形態における半導体装置 1 0 0 の平面模式図を示す。図 1 (a) は、拡散構造の形成が終了した半導体基板 1 の一チップ部からなる半導体装置 1 0 0 で、図 1 (b) は、トレンチ形成が終了して各半導体素子の大きさが確定し、各半導体素子が周囲から絶縁分離された半導体装置 1 0 0 である。

【 0 0 3 4 】

図 2 (a), (b) には、図 1 (a) における A - A および B - B 断面図を、図 3 (a), (b) には、図 1 (a) における C - C および D - D 断面図を、図 4 (a), (b) には、図 1 (a) における E - E および F - F 断面図をそれぞれ示す。また、図 2 (c), (d) には、図 1 (b) における A' - A' および B' - B' 断面図を、図 3 (c), (d) には、図 1 (b) における C' - C' および D' - D' 断面図を、図 4 (c), (d) には、図 1 (b) における E' - E' および F' - F' 断面図をそれぞれ示す。

【 0 0 3 5 】

図 1 (a), (b) の半導体装置 1 0 0 は半導体基板 1 に形成されているが、図 2 (a) ~ 図 4 (a) の断面図に示すように、本実施形態の半導体基板 1 は S O I 基板である。図中の符号 1 1 はシリコン (S i) 基板であり、符号 1 2 が絶縁層である。本実施形態の半導体基板 1 では、絶縁層 1 2 の上に高濃度 n 型拡散層 1 3 が形成され、さらにその上に低濃度 n 型拡散層 1 4 が形成された基板を用いている。S O I 基板 1 における高濃度 n 型拡散層 1 3 と低濃度 n 型拡散層 1 4 からなる S O I 層の厚みは、約 1 0 μ m である。

【 0 0 3 6 】

図 1 (a) において、点線で囲った各領域は、同じ種類の半導体素子を形成する領域を示す。符号 2 と 3 は、アナログ素子であるバイポーラトランジスタの形成領域を、符号 4 は、パワー素子である L D M O S トランジスタの形成領域を、符号 5 は、デジタル素子である C M O S トランジスタの形成領域を示す。

【 0 0 3 7 】

バイポーラトランジスタの形成領域 2 には、ストライプ形状の拡散領域 2 0, 2 1 が、バイポーラトランジスタの形成領域 3 には、ストライプ形状の拡散領域

3 0, 3 1 が、L D M O S トランジスタの形成領域 4 には、ストライプ形状の拡散領域 4 0, 4 1 がそれぞれ配置されている。C M O S トランジスタの形成領域 5 にも同様のストライプ形状の拡散領域が配置されるが、簡単化のために図示は省略してある。これらストライプ形状の拡散領域 2 0, 2 1, 3 0, 3 1, 4 0, 4 1 は、図 1 (a) に示すように、各半導体素子の形成領域 2, 3, 4 において、繰り返しパターンからなる拡散構造を構成している。

【 0 0 3 8 】

図 1 (b) では、バイポーラトランジスタの形成領域 2 が図中の実線で示すトレンチ 6 によって切り分けられて、4 個のバイポーラトランジスタ 2 a, 2 b, 2 c, 2 d が形成される。同じように、バイポーラトランジスタの形成領域 3 がトレンチ 6 によって切り分けられて、4 個のバイポーラトランジスタ 3 a, 3 b, 3 c, 3 d が形成され、L D M O S トランジスタの形成領域 4 がトレンチ 6 によって切り分けられて、5 個の L D M O S トランジスタ 4 a, 4 b, 4 c, 4 d, 4 e が形成される。図中の実線で示したトレンチ 6 によって囲まれた部分が、切り分けられた各半導体素子である。一方、トレンチ 6 によって囲まれていない部分は、無効にした拡散領域である。バイポーラトランジスタの形成領域 2, 3 および L D M O S トランジスタの形成領域 4 では、必要な電流容量に応じた大きさに、各半導体素子 2 a ~ 2 d, 3 a ~ 3 d, 4 a ~ 4 e が切り分けられている。また、C M O S トランジスタの形成領域 5 では、同じ様にトレンチ 6 によって切り分けられて、同じ大きさの C M O S トランジスタ 5 a が形成される。

【 0 0 3 9 】

各半導体素子を切り分け形成するトレンチ 6 は、図 2 (c), (d) ~ 図 4 (c), (d) の断面図に示すように、各拡散領域を分離している L O C O S 7 の位置で、基板の絶縁層 1 2 に到達する深さに形成される。また、トレンチには側壁絶縁層が形成されており、多結晶シリコンや B P S G が埋め込まれて、中に取り囲んだ各半導体素子を、周囲から絶縁分離している。

【 0 0 4 0 】

本実施形態においては、半導体基板 1 の絶縁層 1 2 の上に形成された高濃度 n 型拡散層 1 3 および低濃度 n 型拡散層 1 4 に、トレンチ 6 によって切り分けられ

て各半導体素子が形成される。従って、本実施形態の場合には図 2 (c), (d) ~ 図 4 (c), (d) に示すように、トレンチ 6 は P N 接合を横切ることがなく、接合リーク等の心配がない。一方、半導体基板 1 の絶縁層 1 2 の上に p 型拡散層と n 型拡散層がある場合には、トレンチ 6 が P N 接合を横切るため、トレンチの側壁に不活性化処理（例えば C D E、犠牲酸化、水素処理）を行なう。

【 0 0 4 1 】

図 1 (a) に示すバイポーラトランジスタの形成領域 2 は、横型 P N P バイポーラトランジスタを形成する領域である。この形成領域 2 では、エミッタおよびコレクタとなるストライプ形状の拡散領域 2 1 が、長辺を隣合させて一列に並んでいる。また、これら一列に並んだ拡散領域 2 1 の一方の短辺側に、ベースとなる拡散領域 2 0 が、短辺を隣合させて一列に並んでいる。このようにして、横型 P N P バイポーラトランジスタの形成領域 2 では、拡散領域 2 0, 2 1 が、全体として、繰り返しパターンからなる拡散構造を構成している。

【 0 0 4 2 】

図 2 (a) に示すように、拡散領域 2 1 は、p 型拡散領域 2 1' と高濃度 p 型拡散領域 2 1'' で構成され、これが一列に並んでいる。また、図 2 (b) に示すように、拡散領域 2 0 は、n 型拡散領域 2 0' と高濃度 n 型拡散領域 2 0'' で構成されている。

【 0 0 4 3 】

トレンチ 6 によって切り分けられた図 1 (b) に示す半導体素子 2 c は、図 2 (c), (d) に示す横型 P N P バイポーラトランジスタとなる。図 2 (c), (d) に示す横型 P N P バイポーラトランジスタ 2 c では、中央に配置された p 型拡散領域 2 1' と高濃度 p 型拡散領域 2 1'' がエミッタ 2 1 e であり、両側に配置された p 型拡散領域 2 1' と高濃度 p 型拡散領域 2 1'' がコレクタ 2 1 c である。また、n 型拡散領域 2 0'、高濃度 n 型拡散領域 2 0'' および基板の低濃度 n 型拡散層 1 4 が、ベース 2 0 b となる。

【 0 0 4 4 】

図 1 (a) に示すバイポーラトランジスタの形成領域 3 は、縦型 N P N バイポーラトランジスタを形成する領域である。この形成領域 3 では、エミッタおよび

ベースとなるストライプ形状の拡散領域 3 1 と、コレクタとなるストライプ形状の拡散領域 3 0 とが、長辺を隣合わせて交互に一行に並んでいる。このようにして、縦型 NPN バイポーラトランジスタの形成領域 3 では、拡散領域 3 0, 3 1 が、交互の繰り返しパターンからなる拡散構造を構成している。

【 0 0 4 5 】

図 3 (a) に示すように、拡散領域 3 1 では、LOCOS 7 を拡散マスクとして p 型拡散領域 3 1' が形成されている。p 型拡散領域 3 1' の中では、中央に配置された高濃度 n 型拡散領域 3 1' ' ' と、所定の距離を隔てて高濃度 n 型拡散領域 3 1' ' ' を取り囲む高濃度 p 型拡散領域 3 1' ' ' が形成されている。高濃度 n 型拡散領域 3 1' ' ' と高濃度 p 型拡散領域 3 1' ' ' は、フォトリジストを拡散マスクとして形成される。また、拡散領域 3 0 は、2 重に形成された高濃度 n 型拡散領域 3 0' , 3 0' ' で構成されている。

【 0 0 4 6 】

トレンチ 6 によって切り分けられた図 1 (b) に示す半導体素子 3 a は、図 3 (c), (d) に示す縦型 NPN バイポーラトランジスタとなる。図 3 (c), (d) に示す縦型 NPN バイポーラトランジスタ 3 a では、p 型拡散領域 3 1' と高濃度 p 型拡散領域 3 1' ' がベース 3 1 b であり、中央に配置された高濃度 n 型拡散領域 3 1' ' ' がエミッタ 3 1 e であり、拡散領域 3 1 の両側に配置され 2 重に形成された高濃度 n 型拡散領域 3 0' , 3 0' ' および基板の高濃度 n 型拡散層 1 3 がコレクタ 3 0 c である。図 1 (b) に示す本実施形態の縦型 NPN バイポーラトランジスタ 3 a ~ 3 d の場合には、隣り合った素子間の拡散領域 3 1 を 1 つ無効にするようにして、トレンチ 6 を形成して分離している。この結果、トレンチ 6 で囲まれた縦型 NPN バイポーラトランジスタ 3 a ~ 3 d の分離部近傍は、図 3 (c), (d) に示すように、コレクタ 3 0 c となる。

【 0 0 4 7 】

図 1 (a) に示す LDMOS トランジスタの形成領域 4 では、ソースとなるストライプ形状の拡散領域 4 1 と、ドレインとなるストライプ形状の拡散領域 4 0 とが、長辺を隣合わせて交互に二行に並んでいる。このようにして、LDMOS トランジスタの形成領域 4 では、拡散領域 4 0, 4 1 が、交互の繰り返しパター

ンからなる拡散構造を構成している。

【0048】

図4（a）に示すように、拡散領域40は、n型拡散領域40'と高濃度n型拡散領域40''で構成されている。また、拡散領域41では、p型拡散領域41'と、p型拡散領域41'の中で中央に配置された高濃度p型拡散領域41''と、高濃度p型拡散領域41'''の両側に高濃度n型拡散領域41''とが形成されている。ソースとなる高濃度n型拡散領域41''は、LOCOS7の途中まで延在するように形成されたポリシリコンからなるゲート電極8を拡散マスクとして、ゲート電極8からドレインとなる拡散領域40に向かって拡散形成される。

【0049】

トレンチ6によって切り分けられた図1（b）に示す半導体素子4aは、図4（c），（d）に示すLDMOSトランジスタとなる。図4（c），（d）に示すLDMOSトランジスタ4aでは、p型拡散領域41'がチャネル部である。また、p型拡散領域41'の中に形成された高濃度n型拡散領域41''がソース41sであり、その両側に配置されたn型拡散領域40'と高濃度n型拡散領域40''がドレイン40dである。

【0050】

図1（b）に示す本実施形態のLDMOSトランジスタ4a～4eの場合には、隣り合った素子間の拡散領域41を1つ無効にするようにして、トレンチ6を形成して分離している。この結果、トレンチ6で囲まれたLDMOSトランジスタ4a～4eの分離部近傍は、図4（c），（d）に示すように、ドレイン40dとなる。

【0051】

図1（a）に示すCMOSトランジスタの形成領域5においても、同じ様にして、CMOSトランジスタが形成される。

【0052】

半導体装置100では、最適特性を得るために、あるいは様々な規格に対応するために、そこに形成される各半導体素子2a～2d，3a～3d，4a～4e

の大きさを変えて試験する必要がある。このような半導体装置 1 0 0 の試作に対して、本実施形態の半導体装置 1 0 0 では、半導体基板 1 に形成された繰り返しパターンからなる拡散構造を有する各形成領域 2, 3, 4 から、各半導体素子 2 a ~ 2 d, 3 a ~ 3 d, 4 a ~ 4 e がトレンチ 6 によって切り分け形成される。このトレンチ 6 による半導体素子の切り分けは、得られた各半導体素子 2 a ~ 2 d, 3 a ~ 3 d, 4 a ~ 4 e の周囲からの絶縁分離も兼ねている。

【 0 0 5 3 】

本実施形態の半導体装置 1 0 0 では、各形成領域 2, 3, 4 において、1 つの繰り返しパターンからなる拡散構造を用いて、同じ種類で任意の大きさの半導体素子を切り分け形成することができる。例えば、バイポーラトランジスタの形成領域 3 においては、任意の大きさのバイポーラトランジスタを切り分け形成することができる。また、繰り返しパターンを単位ユニットとして、切り分け形成されるバイポーラトランジスタの大きさを、容易に確定することができる。特に、本実施形態のように拡散領域 2 0, 2 1, 3 0, 3 1, 4 0, 4 1 をストライプ形状にすることで、トレンチ 6 によって切り分け形成される各半導体素子の大きさ（電流容量）の確定が容易になる。これによって、半導体装置 1 0 0 を容易に設計することができる。

【 0 0 5 4 】

また、切り分けされる半導体素子は、バイポーラトランジスタのようなアナログ信号を処理するアナログ素子であるか、あるいは L D M O S トランジスタのような電力を制御するパワー素子である場合に特に効果的である。

【 0 0 5 5 】

半導体装置がデジタル素子のみで構成されている場合には、例えば C M O S トランジスタからなるゲートアレイのように、一定の大きさのデジタル素子を予め多数形成した半導体基板をプラットフォームにして、配線により必要なだけデジタル素子を接続して回路を構成することができる。しかしながらアナログ素子やパワー素子の場合には、一般的に、回路で使用されている素子毎に電流容量等の大きさが異なっている。このため、デジタル素子からなるゲートアレイのように、一定の大きさの素子を予め用意しておくことはできない。

【 0 0 5 6 】

本実施形態の半導体装置 1 0 0 においては、拡散構造が形成された半導体基板 1 をプラットフォームとして、ここから各半導体素子 2 a ~ 2 d, 3 a ~ 3 d, 4 a ~ 4 e がトレンチ 6 によって切り分け形成される。従って、半導体素子がアナログ素子やパワー素子であっても、前記プラットフォームから任意の大きさの半導体素子、例えば任意の電流容量を持つアナログ素子やパワー素子を形成することができる。

【 0 0 5 7 】

勿論、本実施形態の半導体装置 1 0 0 に示すように、デジタル素子 5 a、アナログ素子 2 a ~ 2 d, 3 a ~ 3 d、パワー素子 4 a ~ 4 e 等の種類の異なる半導体素子を 1 つのチップに集積化した複合 IC においても効果的であるのは言うまでもない。

【 0 0 5 8 】

以上のように、本実施形態の半導体装置 1 0 0 においては、繰り返しパターンからなる拡散構造が形成された半導体基板 1 を用いて、各形成領域 2, 3, 4, 5 において任意の大きさの半導体素子を容易に形成することができる。従って、半導体装置 1 0 0 の試作期間を従来に較べて大幅に短縮することができ、工数に係わる開発コストも低減することができる。

【 0 0 5 9 】

また、本実施形態の半導体装置 1 0 0 においては、同じ種類の半導体素子は、繰り返しパターンからなる拡散構造が形成された各形成領域 2, 3, 4, 5 のいずれかに統合されて形成されている。従って、このような拡散構造が形成された半導体基板 1 を標準的なプラットフォームとして数種類準備しておけば、そこから種々の半導体装置を製造することができる。このように、本実施形態の半導体装置 1 0 0 では、拡散構造が形成された半導体基板 1 のプラットフォーム化が実現され、これによって製造コストを低減することができる。

【 0 0 6 0 】

次に、図 1 ~ 図 4 に示した本実施形態の半導体装置 1 0 0 の製造方法を説明する。

【 0 0 6 1 】

最初に、絶縁層 1 2 の上に高濃度 n 型拡散層 1 3 と低濃度 n 型拡散層 1 4 が形成された S O I 基板 1 から出発して、図 1 ～図 4 に示した拡散領域 2 0, 2 1, 3 0, 3 1, 4 0, 4 1、LOCOS 7、ゲート電極 8 を形成する。S O I 基板 1 は、基板貼り合わせ技術やエピタキシャル成長技術を用いて、通常の方法で形成することができる。

【 0 0 6 2 】

本実施形態においては、トレンチ 6 の形成工程を拡散領域 2 0, 2 1, 3 0, 3 1, 4 0, 4 1 の形成後に行なうが、個々の拡散領域 2 0, 2 1, 3 0, 3 1, 4 0, 4 1、LOCOS 7、ゲート電極 8 の形成方法および形成順序に関しては、従来と同様に行なう。図 2 (a), (b) ～図 4 (a), (b) は、これら拡散領域 2 0, 2 1, 3 0, 3 1, 4 0, 4 1、LOCOS 7、ゲート電極 8 の形成が終了した段階を示している。

【 0 0 6 3 】

次に、本発明の特徴である拡散領域形成後のトレンチ形成工程を、図 5 (a) ～ (e) に示した LDMOS トランジスタの工程別断面図を例にして説明する。

【 0 0 6 4 】

図 5 (a) は、n 型拡散領域 4 0' と高濃度 n 型拡散領域 4 0' ' からなる拡散領域 4 0 と、p 型拡散領域 4 1' 、高濃度 n 型拡散領域 4 1' ' および高濃度 p 型拡散領域 4 1' ' ' からなる拡散領域 4 1 とが形成された S O I 基板 1 である。

【 0 0 6 5 】

次に図 5 (b) に示すように、拡散領域 4 0, 4 1、LOCOS 7、ゲート電極 8 を形成した S O I 基板 1 をレジスト 9 0 で覆い、フォトリソグラフィによりレジスト 9 0 のトレンチ 6 形成位置を開口する。

【 0 0 6 6 】

次に図 5 (c) に示すように、開口したレジスト 9 0 をマスクとしてエッチングによりトレンチ 6 を絶縁膜 1 2 に達する深さまで形成し、その後、レジスト 9 0 を除去する。これによって、LDMOS トランジスタ 4 f, 4 g が確定し、ま

た、拡散領域 4 0, 4 1 が、それぞれソース 4 1 s およびドレイン 4 0 d として確定する。形成したトレンチ 6 は、側壁の不活性化処理（例えば C D E）を行い、低温酸化で～ 5 0 n m 程度の側壁酸化膜（図示は省略）を形成する。

【 0 0 6 7 】

次に図 5（d）に示すように、B P S G 9 1 を S O I 基板 1 の全面に堆積して、トレンチ 6 を埋め込む。その後 9 3 0 ℃ 程度で熱処理を行って、B P S G 9 1 をリフローさせる。これにより、堆積した B P S G 9 1 が平坦化すると共に、トレンチ 6 への埋め込み性が改善される。またこの熱処理によって、S O I 基板 1 に形成された各拡散領域が活性化される。

【 0 0 6 8 】

最後に図 5（e）に示すように、B P S G 9 1 にコンタクト孔を形成し、一層目のアルミニウム（A 1）からなる配線 9 2 を形成して、L D M O S トランジスタ 4 f, 4 g が完成する。

【 0 0 6 9 】

尚、一層目の配線 9 2 上には層間絶縁膜を介して二層目の配線が形成され、さらにその上に保護膜が形成されるが、その説明は省略する。

【 0 0 7 0 】

従来の複合 I C 等の半導体装置の製造方法においては、最初に各半導体素子（例えば図 5（c）の 4 f, 4 g）の形成領域をトレンチ 6 によって絶縁分離して確定し、その後で、前記のように確定した各半導体素子の形成領域に、個々の半導体素子 4 f, 4 g を拡散工程により作り込んでいく。

【 0 0 7 1 】

一方、本実施形態の図 5（a）～（e）に示した製造方法によれば、最初に拡散工程により繰り返しパターンからなる拡散構造（例えば図 5（a）の 4 0, 4 1）を形成しておき、その後で、トレンチ 6 を形成して、各半導体素子 4 f, 4 g を切り分け形成すると共に、各半導体素子 4 f, 4 g を周囲から絶縁分離する。以上のように切り分け形成した各半導体素子 4 f, 4 g に、最後に、配線 9 2 を接続する。

【 0 0 7 2 】

本実施形態で用いたトレンチ 6 による絶縁分離は、PN 接合分離のような拡散を用いた電氣的な分離とは異なり、機械的に細溝を掘って半導体素子 4 f, 4 g を分離するものである。これにより、拡散工程の後にトレンチによる分離工程を持てくることができる。このようにして、本実施形態の製造方法においては、半導体装置 1 0 0 に形成される半導体素子の形成領域を繰り返しパターンからなる拡散構造をプラットフォーム化し、トレンチ 6 の形成を拡散工程の後にして半導体素子 4 f, 4 g の形成と絶縁分離を一体化している。これによって、半導体装置 1 0 0 の試作期間を短縮でき、開発コストや製造コストを低減することができる。

【 0 0 7 3 】

また、本実施形態の図 5 (d), (e) に示したように、トレンチ 6 の埋め込みに用いた B P S G 9 1 は、次に形成する配線 9 2 の層間絶縁膜も兼ねている。これによって製造工程が短縮でき、製造コストを低減できる。

【 0 0 7 4 】

尚、本実施形態では、高濃度 n 型拡散層と低濃度 n 型拡散層からなる S O I 基板を用いたが、一層の n 型拡散層もしくは p 型拡散層からなる S O I 基板を用いてもよい。

【 0 0 7 5 】

図 5 (b) ではトレンチ 6 形成用のエッチングマスクとしてレジスト 9 0 を用いたが、シリコン酸化膜 (S i O₂) を用いてもよい。

【 0 0 7 6 】

図 5 (c) では C D E によりトレンチ 6 の側壁の不活性化処理を行なったが、犠牲酸化あるいは水素処理で不活性化処理を行なってもよい。電流リークのおそれが無い場合には、不活性化処理を省略することができる。また、低温酸化で 5 0 n m 程度の側壁酸化膜 (図示は省略) を形成したが、高温酸化で側壁酸化膜をより厚く形成してもよい。

【 0 0 7 7 】

図 5 (d) では B P S G 9 1 によりトレンチ 6 の埋め込みを行なったが、ポリシリコンを用いてトレンチ 6 の埋め込みを行なってもよい。この場合には、最初

にCVDで全面に薄い酸化膜を形成しておき、ポリシリコンを全面に堆積してトレンチ6を埋め込んだ後、先に形成した酸化膜をストップパにして余分なポリシリコンをエッチバックする。ポリシリコンによる埋め込みは、SOI厚（図5（a）では、絶縁層12より上の高濃度n型拡散層13と低濃度n型拡散層14からなる層の厚み）が厚くて、BP SG 91による埋め込みが不十分な場合に効果的である。

【0078】

（第2の実施形態）

第1の実施形態では、複合ICの各半導体素子が、高濃度n型拡散層と低濃度n型拡散層からなるSOI層に形成された半導体装置およびその製造方法を示した。第2の実施形態では、複合ICの各半導体素子が、p型拡散層からなるSOI層に形成された半導体装置およびその製造方法に関する。

【0079】

本実施形態においては、厚さ約5 μ mの薄いp型拡散層からなるSOI層に各半導体素子が形成されるため、トレンチ形成後のBP SGによる埋め込みが容易であり、ポリシリコンによる埋め込みに較べて製造コストを低減することができる。以下、本実施形態について、図に基づいて説明する。

【0080】

図6（a）は、p型SOI基板に形成された横型NPNバイポーラトランジスタ2eの断面図であり、図6（b）は、p型SOI基板に形成されたLDMOSトランジスタ4hの断面図である。

【0081】

本実施形態の横型NPNバイポーラトランジスタ2eおよびLDMOSトランジスタ4hも、第1の実施形態の図1（a），（b）に示した半導体装置100と同様に、各形成領域が繰り返しパターンからなる拡散構造を有しており、そこからトレンチ6により切り分け形成される。

【0082】

図6（a）に示す横型NPNバイポーラトランジスタ2eは、ベース23bとなるp型拡散領域23' およびエミッタ23eとなる高濃度n型拡散領域23'

と、コレクタ 2 2 c となる n 型拡散領域 2 2' および高濃度 n 型拡散領域 2 2' ' からなる。拡散領域 2 3' と 2 3' ' は、たとえば酸化膜を介して形成したポリシリコン端部もしくは L O C O S 端部をセルフアラインの起点として、2 重拡散法で形成することが望ましい。これにより、ベース幅が正確に制御され、応答性と電流増幅率の平坦性にすぐれた、バラツキの少ない横型バイポーラトランジスタが形成可能となる。図 6 (a) は、ポリシリコン端部をセルフアラインの起点とした例を示している。拡散領域 2 3' , 2 3' ' と拡散領域 2 2' , 2 2' ' はストライプ形状で長辺を隣合わせて一列に並んでおり、ここから横型 N P N バイポーラトランジスタ 2 e がトレンチ 6 により切り分け形成される。

【 0 0 8 3 】

図 6 (b) に示す L D M O S トランジスタ 4 h は、n 型ウェル 4 2' に形成されたドレイン 4 2 d となる高濃度 n 型拡散領域 4 2' ' と、p 型ウェル 4 3' に形成されたチャネルとなる p 型拡散領域 4 3' ' ' , 4 3' ' ' ' およびソース 4 3 s となる高濃度 n 型拡散領域 4 3' ' ' ' とからなる。拡散領域 4 2' , 4 2' ' と拡散領域 4 3' , 4 3' ' , 4 3' ' ' , 4 3' ' ' ' は、ストライプ形状で長辺を隣合わせて一列に並んでおり、ここから L D M O S トランジスタ 4 h がトレンチ 6 により切り分け形成される。

【 0 0 8 4 】

図 6 (a) に示した横型 N P N バイポーラトランジスタ 2 e、および図 6 (b) に示した L D M O S トランジスタ 4 h の製造方法は、第 1 実施形態の図 5 (a) ~ (e) に示した製造方法と同様であり、その説明は省略する。但し、本実施形態の場合には、厚さ約 5 μ m の薄い p 型拡散層 1 2 からなる S O I 層に各半導体素子 2 e, 4 h が形成されるため、トレンチ 6 の形成後の B P S G による埋め込みが容易であり、ポリシリコンによる埋め込みに較べて製造コストを低減することができる。

【 0 0 8 5 】

(第 3 の実施形態)

第 1 の実施形態では、繰り返しパターンからなる拡散構造が形成された半導体基板をプラットフォームとして、ここから各半導体素子がトレンチによって切り

分け形成された半導体装置およびその製造方法を示した。第 3 の実施形態では、第 1 の実施形態とは異なる拡散構造を有し、また第 1 の実施形態とは異なる切り分けによって各半導体素子が形成される半導体装置およびその製造方法を示す。以下、本実施形態について、図に基づいて説明する。

【 0 0 8 6 】

図 7 は、横型 PNP バイポーラトランジスタ 2 f ~ 2 k が形成された半導体装置 1 0 1 の平面図である。

【 0 0 8 7 】

本実施形態の半導体装置 1 0 1 では、n 型拡散領域 2 4 と p 型拡散領域 2 5 のストライプ形状で繰り返しパターンからなる拡散構造が形成されており、そこからトレンチ 6 1 ~ 6 9 により横型 PNP バイポーラトランジスタ 2 f ~ 2 k が切り分け形成される。各々の横型 PNP バイポーラトランジスタ 2 f ~ 2 k は、ストライプ形状の p 型拡散領域 2 5 内において長辺に平行に形成されたトレンチ 6 2, 6 3 と、ストライプ形状の繰り返しパターンを横切って形成されたトレンチ 6 6, 6 7, 6 8 によって切り分けられている。

【 0 0 8 8 】

このようにして切り分けられた横型 PNP バイポーラトランジスタ 2 k においては、例えば、符号 2 5 e で示す p 型拡散領域がエミッタとなり、符号 2 4 b で示す n 型拡散領域がベースとなり、符号 2 5 c で示す p 型拡散領域がコレクタとなる。

【 0 0 8 9 】

このように、図 7 に示すストライプ形状の繰り返しパターンからなる拡散構造においては、繰り返し構造を横切ってトレンチ 6 6, 6 7, 6 8 を形成し、各半導体素子 2 f, 2 g, 2 h, 2 i, 2 j を確定することができる。また、各半導体素子の大きさの確定も容易で、半導体装置の設計が容易に行なえる。

【 0 0 9 0 】

図 8 は、縦型 NPN バイポーラトランジスタ 3 e, 3 f と横型 PNP バイポーラトランジスタ 2 1 が形成された半導体装置 1 0 2 の斜視図である。

【 0 0 9 1 】

本実施形態の半導体基板 1 0 2 は、絶縁層 1 2 の上に p 型拡散層 1 6、n 型拡散層 1 7、p 型拡散層 1 8 が積層された S O I 基板 1 9 が用いられている。

【 0 0 9 2 】

本実施形態の半導体装置 1 0 2 においては、縦型 N P N バイポーラトランジスタ 3 e、3 f の形成領域は、2 つの n 型拡散領域 3 2、3 3 からなる拡散構造が形成されている。また、横型 P N P バイポーラトランジスタ 2 1 の形成領域は、n 型拡散領域 2 6 と p 型拡散領域 2 7 からなる拡散構造が形成されている。縦型 N P N バイポーラトランジスタ 3 e、3 f と横型 P N P バイポーラトランジスタ 2 1 は、トレンチ 7 2 により、ストライプ形状の n 型拡散領域 3 3 の長辺に平行な端部で切り分けられている。また縦型 N P N バイポーラトランジスタ 3 e と 3 f は、トレンチ 7 5 により、ストライプ形状の n 型拡散領域 3 2、3 3 を横切って切り分けられている。

【 0 0 9 3 】

このようにして切り分けられた縦型 N P N バイポーラトランジスタ 3 f においては、n 型拡散領域 3 2 がエミッタ 3 2 e となり、基板の p 型拡散層 1 8 がベース 1 8 b となり、n 型拡散領域 3 3 がコレクタ 3 3 c となる。また、横型 P N P バイポーラトランジスタ 2 1 においては、例えば、基板の p 型拡散層 1 8 がエミッタ 1 8 e となり、n 型拡散領域 2 6 がベース 2 6 b となり、p 型拡散領域 2 7 がコレクタ 2 7 c となる。

【 0 0 9 4 】

このように、図 8 に示すストライプ形状の拡散構造においては、ストライプ形状の拡散領域の端部やストライプ形状の拡散領域を横切ってトレンチを形成することにより、各半導体素子 3 e、3 f、2 1 を確定することができる。また、各半導体素子の大きさの確定も容易で、半導体装置の設計が容易に行なえる。

【 0 0 9 5 】

(他の実施形態)

上記の実施形態では説明を省略したが、本発明は C M O S トランジスタにも適用することができる。特に、ストライプ形状のソースおよびドレインの拡散領域を横切ってトレンチを形成することにより、C M O S トランジスタや L D M O S

トランジスタゲート幅を任意に設定することができるという優れた効果がある。

【図面の簡単な説明】

【図 1】

本発明による第 1 実施形態の半導体装置の平面図で、(a) は拡散構造の形成が終了した半導体装置で、(b) はトレンチ形成が終了して各半導体素子が‘切り分け’形成された半導体装置である。

【図 2】

(a), (b) は、各々、図 1 (a) における A-A および B-B 断面図であり、(c), (d) は、各々、図 1 (b) における A'-A' および B'-B' 断面図である。

【図 3】

(a), (b) は、各々、図 1 (a) における C-C および D-D 断面図であり、(c), (d) は、各々、図 1 (b) における C'-C' および D'-D' 断面図である。

【図 4】

(a), (b) は、各々、図 1 (a) における E-E および F-F 断面図であり、(c), (d) は、図 1 (b) における E'-E' および F'-F' 断面図である。

【図 5】

(a) ~ (e) は、本発明による第 1 実施形態の半導体装置の製造方法を示す工程別断面図である。

【図 6】

本発明による第 2 実施形態の半導体装置で、(a) は横型 NPN バイポーラトランジスタの断面図であり、(b) は LDMOS トランジスタ 4 h の断面図である。

【図 7】

本発明による第 3 実施形態の半導体装置である。

【図 8】

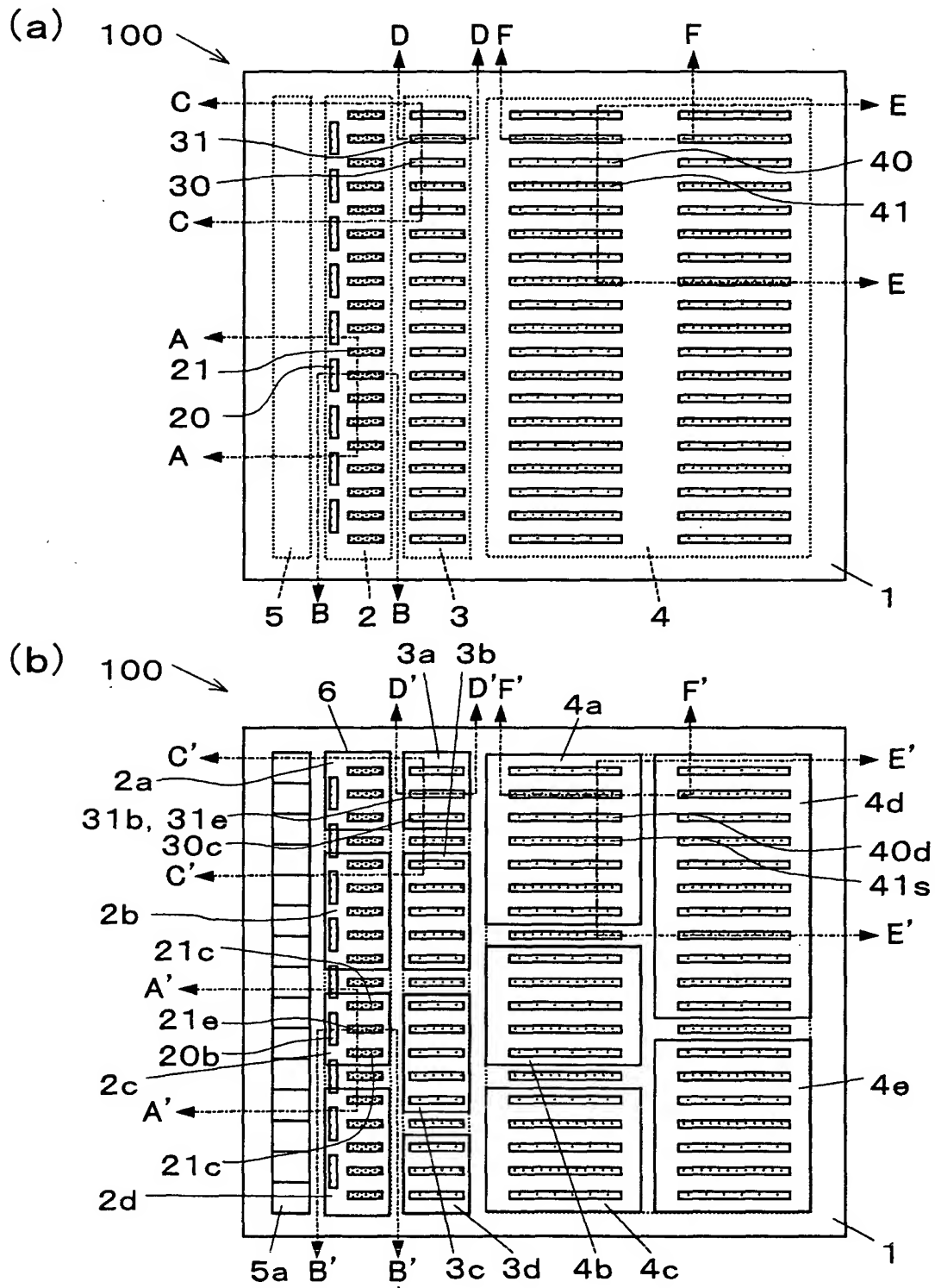
本発明による第 3 実施形態の半導体装置である。

【符号の説明】

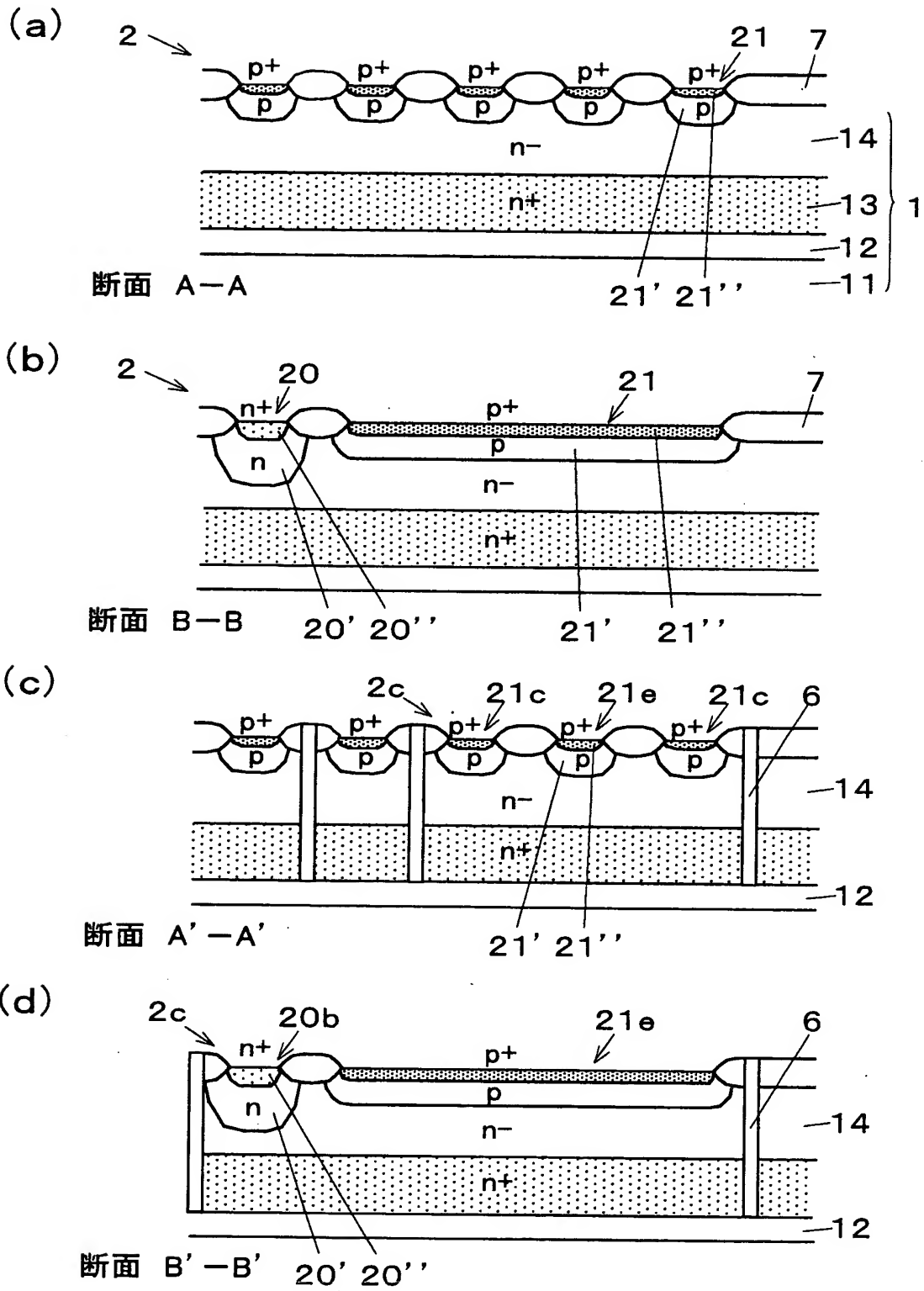
- 1 0 0 ~ 1 0 2 半導体装置
- 1, 1 0, 1 9 S O I 基板 (半導体基板)
- 2 (横型 P N P) バイポーラトランジスタ形成領域
- 3 (縦型 N P N) バイポーラトランジスタ形成領域
- 4 L D M O S トランジスタ形成領域
- 5 C M O S トランジスタ形成領域
- 2 0, 2 1, 3 0, 3 1, 4 0, 4 1 拡散領域
- 2 a, 2 b, 2 c, 2 d (横型 P N P) バイポーラトランジスタ
- 2 0 b ベース
- 2 1 e エミッタ
- 2 1 c コレクタ
- 3 a, 3 b, 3 c, 3 d (縦型 N P N) バイポーラトランジスタ
- 3 1 b ベース
- 3 1 e エミッタ
- 3 0 c コレクタ
- 4 a, 4 b, 4 c, 4 d, 4 e L D M O S トランジスタ
- 4 0 d ドレイン
- 4 1 s ソース
- 5 a C M O S トランジスタ
- 6, 6 1 ~ 6 9, 7 1 ~ 7 5 トレンチ
- 7 L O C O S
- 8 ゲート電極

【書類名】 図面

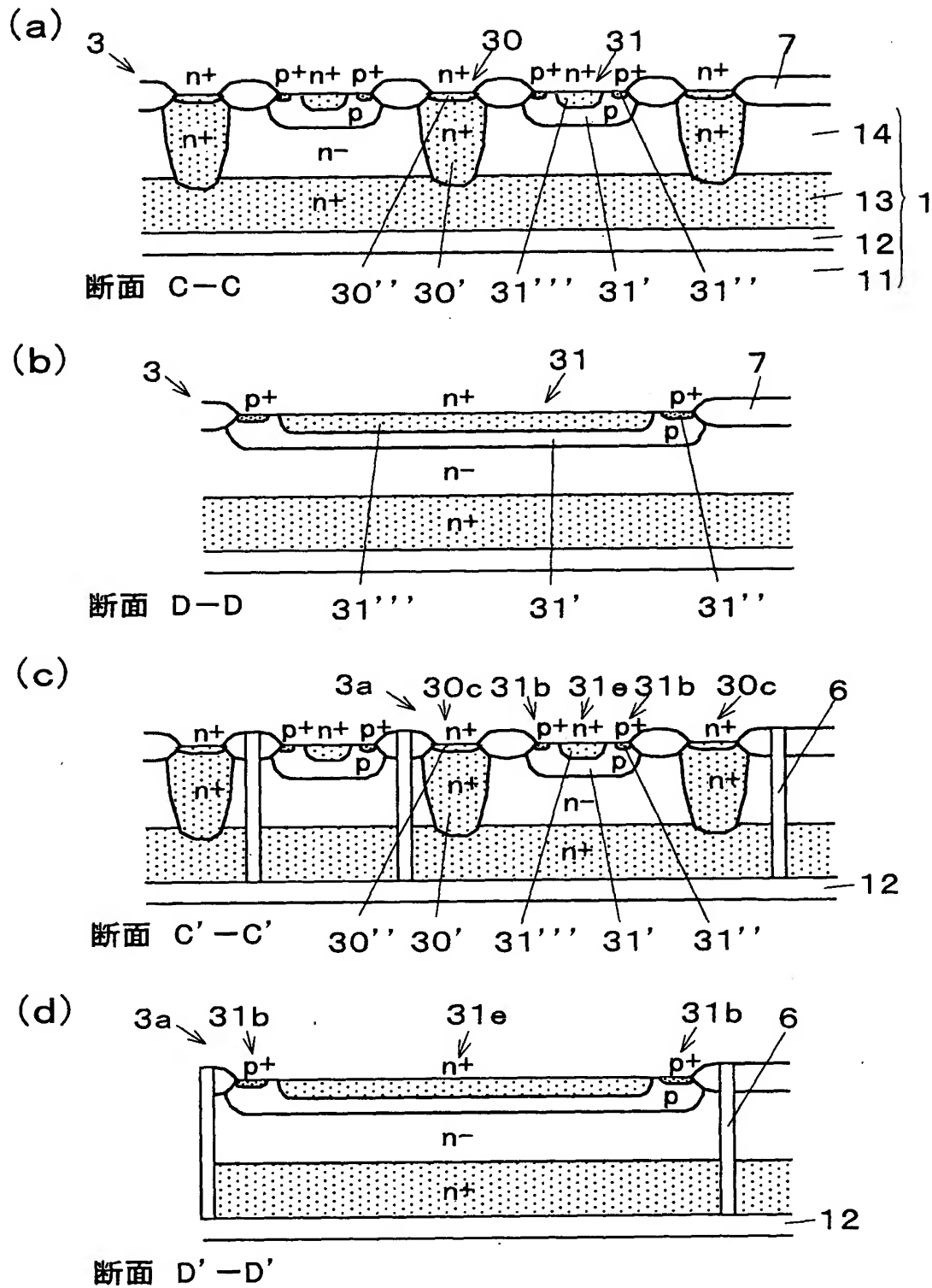
【図 1】



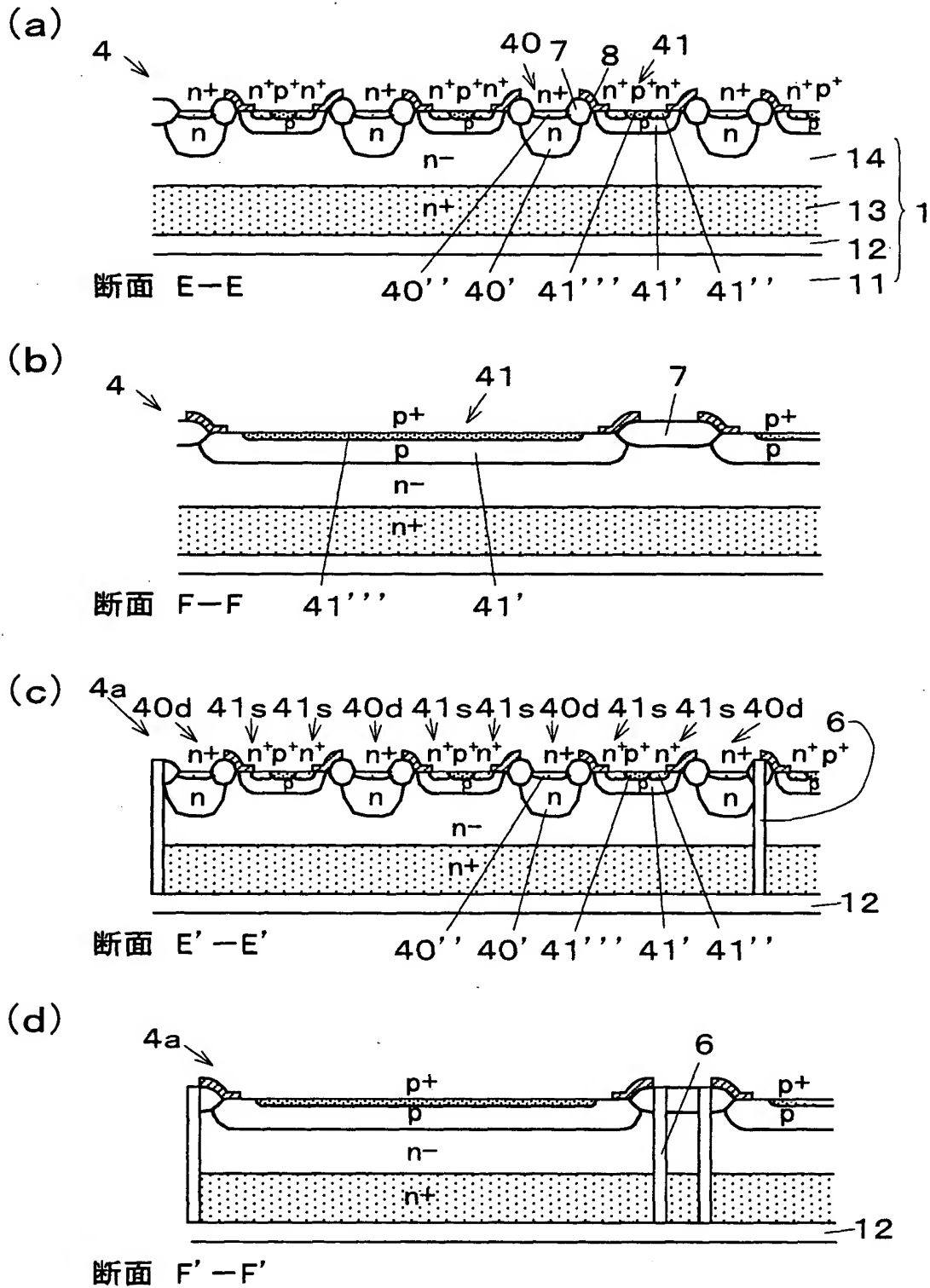
【図 2】



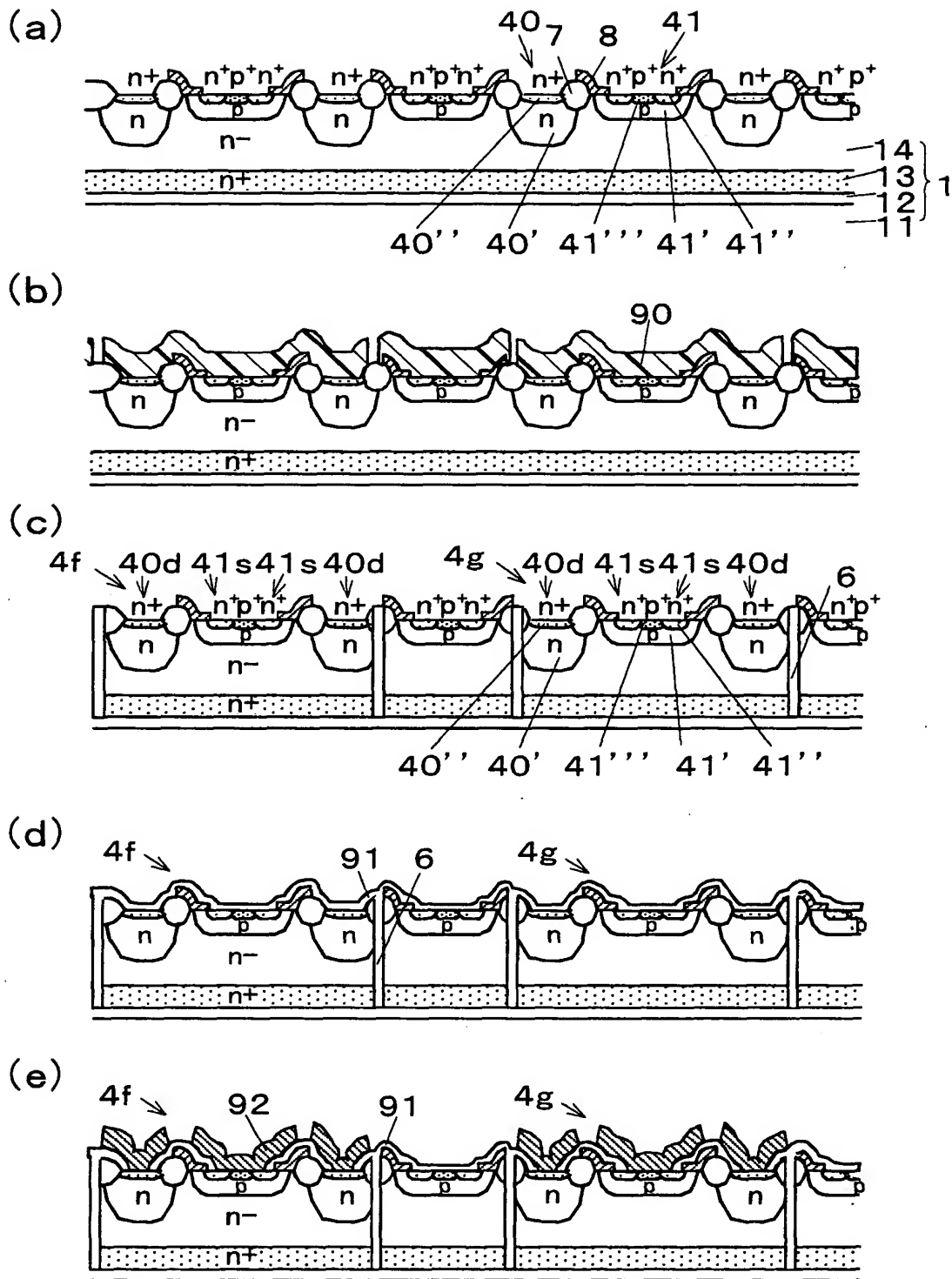
【図 3】



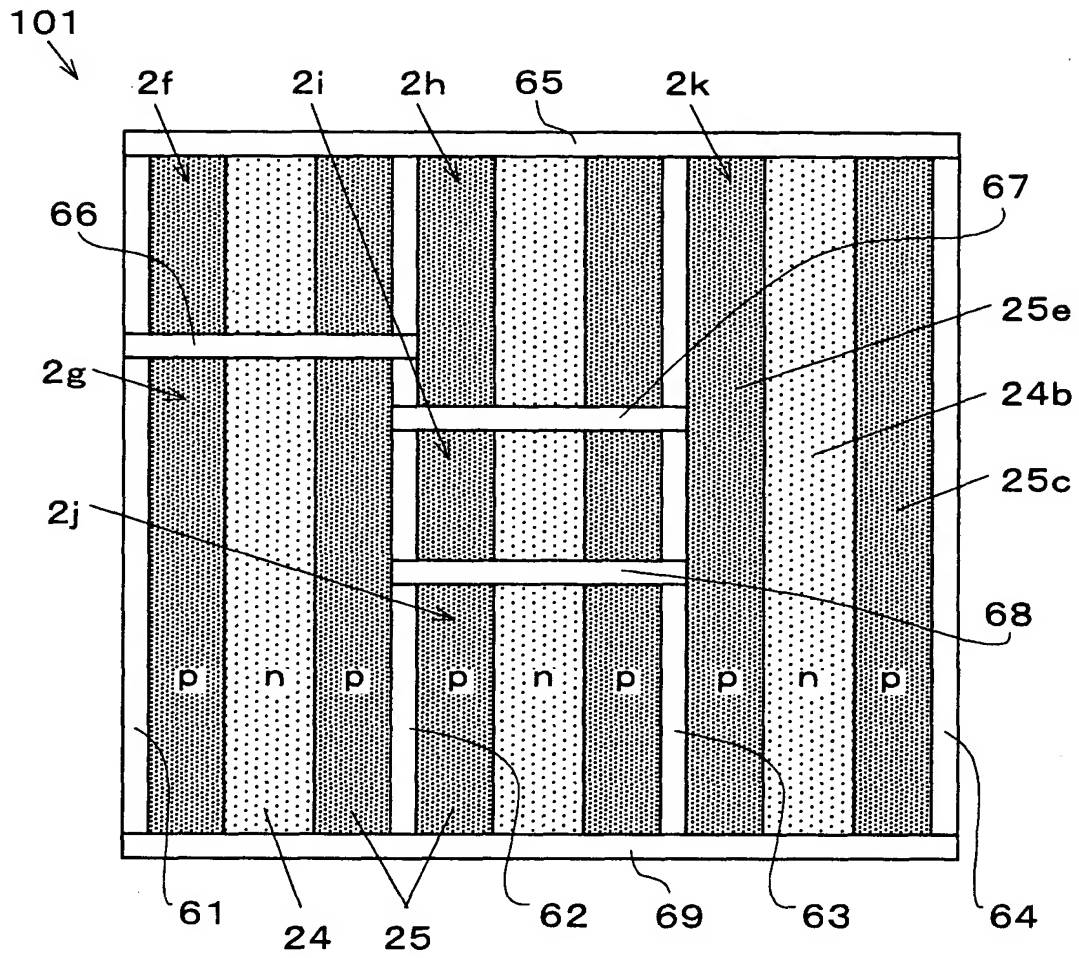
【図 4】



【図 5】

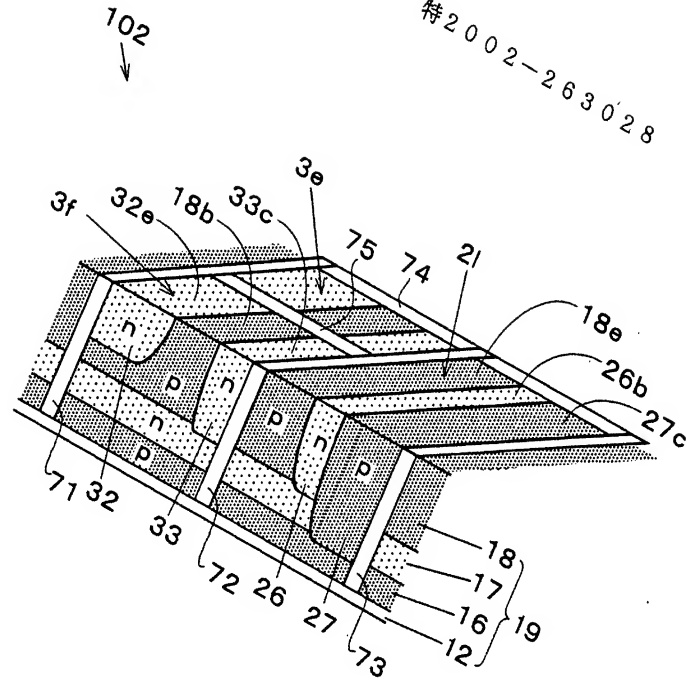


【図 7】



【図8】

特2002-263028



出証特2003-3048685

【書類名】 要約書

【要約】

【課題】MOSトランジスタやバイポーラトランジスタといった各種半導体素子を1つのチップに集積化した複合ICであっても、試作期間が短く、従って開発コストを低減することのできる半導体装置およびその製造方法を提供する。

【解決手段】半導体基板1の主面に形成される各半導体素子2a～2d, 3a～3d, 4a～4e, 5aが、トレンチ6によって絶縁分離されてなる半導体装置100であって、各半導体素子2a～2d, 3a～3d, 4a～4e, 5aが形成される各領域2, 3, 4, 5には、それぞれ共通する拡散構造が形成され、各半導体素子2a～2d, 3a～3d, 4a～4e, 5aは、前記拡散構造に形成されたトレンチ6によって各半導体素子2a～2d, 3a～3d, 4a～4e, 5aの大きさが確定され、各半導体素子2a～2d, 3a～3d, 4a～4e, 5aが周囲から絶縁分離される。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000004260]

1. 変更年月日 1996年10月 8日
[変更理由] 名称変更
住 所 愛知県刈谷市昭和町1丁目1番地
氏 名 株式会社デンソー